

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年12月11日

出 願 番 号

Application Number:

特願2002-359980

[ST.10/C]:

[JP2002-359980]

出 願 人

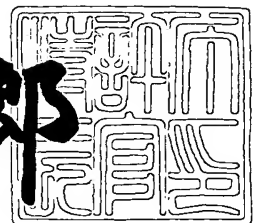
Applicant(s):

松下電器産業株式会社

2003年 3月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3017767

【書類名】 特許願

【整理番号】 5038240111

【提出日】 平成14年12月11日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 13/38

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 松下 賢治

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 福江 哲

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 110000040

【氏名又は名称】 特許業務法人池内・佐藤アンドパートナーズ

【代表者】 池内 寛幸

【電話番号】 06-6135-6051

【手数料の表示】

【予納台帳番号】 139757

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0108331



【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 バス制御装置及び情報処理システム

【特許請求の範囲】

【請求項 1】 外部の装置に外部のシステムバスを介して接続される外部インターフェースと、内部ユニットと、外部のローカルメモリに接続されるメモリインターフェースと、前記外部インターフェース及び前記内部ユニットと前記メモリインターフェースとの間を少なくとも接続する内部バスとを有するバス制御装置であって、

前記メモリインターフェースは、前記外部インターフェース及び前記内部ユニットによる前記内部バスの使用状況を監視し、前記内部ユニットが前記内部バスを使用していない場合に、前記外部インターフェースのみが前記内部バスを使用できる優先区間を設定し、前記優先区間において前記内部ユニットによる前記内部バスの使用を制限させることを特徴とするバス制御装置。

【請求項 2】 前記メモリインターフェースが、前記外部インターフェース及び前記内部ユニットによる前記内部バスの使用要求に対して調停を行なうバスアービタと、前記バスアービタによって行なわれた調停の結果に基づいて前記内部バスの使用状況を監視する優先区間管理部とを有し、

前記優先区間管理部は、前記内部ユニットが前記内部バスを使用していない場合に、前記バスアービタ及び前記外部インターフェースに対して、前記外部インターフェースのみに前記内部バスの使用を許可する旨を通知して、前記優先区間を設定し、

前記バスアービタは、前記優先区間が設定されている間、前記内部ユニットによる前記内部バスの使用を制限する請求項 1 記載のバス制御装置。

【請求項 3】 前記メモリインターフェースが、前記優先区間の長さを特定する情報を格納する優先区間設定レジスタを有し、

前記優先区間管理部が、前記優先区間設定レジスタに格納された前記情報に基づいて、前記優先区間を設定する請求項 2 記載のバス制御装置。

【請求項 4】 前記内部ユニットが、前記バスアービタに対して、前記内部バスの使用を要求すると共に、転送を予定しているデータ量を通知する機能を有し

ており、

前記バスアービタが、

前記優先区間中に、前記内部ユニットから前記内部バスの使用要求と前記転送を予定しているデータ量の通知とを受けた場合に、予め設定されたデータ量と、前記転送を予定しているデータ量とを比較し、

前記転送を予定しているデータ量が前記予め設定されたデータ量以下であるならば、前記優先区間中において前記内部ユニットによる前記内部バスの使用を認める請求項 2 記載のバス制御装置。

【請求項 5】 前記優先区間管理部による前記内部バスの使用状況の監視が、前記バスアービタによって行なわれた調停の結果を予め設定された頻度で確認することによって行なわれており、

前記頻度は、前記外部の装置によって設定されている請求項 2 記載のバス制御装置。

【請求項 6】 外部の装置に外部のシステムバスを介して接続される外部インターフェースと、複数の内部ユニットと、外部のローカルメモリに接続されるメモリインターフェースと、前記外部インターフェース及び前記内部ユニットと前記メモリインターフェースとの間を接続する内部バスとを有するバス制御装置であって、

前記複数の内部ユニットのうち一部の内部ユニットは、前記内部バスを介して前記メモリインターフェースに転送するデータを分割して転送する機能を有し、

前記メモリインターフェースは、前記分割された全てのデータの転送を終了するまでの間、前記一部の内部ユニット以外の他の内部ユニットによる前記内部バスの使用を制限し、且つ、前記外部インターフェースによる前記内部バスの使用を許可することを特徴とするバス制御装置。

【請求項 7】 前記一部の内部ユニットが分割転送通知部を有し、

前記分割転送通知部は、前記データを分割して転送する場合に、前記分割された全てのデータの転送を終了するまでの間、前記メモリインターフェースに対して、分割されたデータが転送中であることを通知する機能を有し、

前記メモリインターフェースが、前記外部インターフェース及び前記内部ユニ

ットによる前記内部バスの使用要求に対して調停を行なうバスアービタを有し、
前記バスアービタは、前記分割されたデータが転送中であることを通知されている間、前記他の内部ユニットによる内部バスの使用を制限し、且つ、外部インターフェースによる内部バスの使用を許可する請求項 6 記載のバス制御装置。

【請求項 8】 前記一部の内部ユニットが、前記データの分割数を設定するための情報を格納する分割数設定レジスタを有しており、格納された前記情報に基づいて前記データを分割する請求項 6 記載のバス制御装置。

【請求項 9】 前記外部インターフェース及び前記他の内部ユニットが、前記バスアービタに対して、前記内部バスの使用を要求すると共に、転送を予定しているデータ量を通知する機能を有しており、

前記バスアービタが、
前記分割されたデータが転送中であることを通知されている間に、前記外部インターフェース及び前記他の内部ユニットのうちの一方又は両方から、前記内部バスの使用要求と前記転送を予定しているデータ量の通知とを受けた場合に、
予め設定されたデータ量と、前記転送を予定しているデータ量とを比較して、前記一方又は両方が前記予め設定されたデータ量以下のデータ量の転送を予定しているかどうかを判定し、
前記予め設定されたデータ量以下のデータ量の転送を予定していると判定されたものに対して、前記分割されたデータが転送中であることを通知されている間、前記内部バスの使用を認める請求項 7 記載のバス制御装置。

【請求項 10】 請求項 1 ～ 9 いずれかに記載のバス制御装置と、前記バス制御装置の外部インターフェースにシステムバスを介して接続された CPU と、前記バス制御装置のメモリインターフェースに接続されたローカルメモリとを有することを特徴とする情報処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、内部バスと内部ユニットとを少なくとも備えたバス制御装置、特に、CPU とローカルメモリとの間に介在して、CPU と内部ユニットによる内

部バスの使用を制御するバス制御装置に関する。

【 0 0 0 2 】

【従来の技術】

図 1 3 を用いて従来からのバス制御装置について説明する。図 1 3 は、従来のバス制御装置の一例を示す構成図である。図 1 3 に示すように、バス制御装置 9 1 は、内部バス 9 6 と、外部インターフェース 9 2 と、メモリインターフェース 9 4 と、複数の内部ユニット 9 3 とを備えている。外部インターフェース 9 2、メモリインターフェース 9 4、及び複数の内部ユニット 9 3 は、内部バス 9 6 に接続されている。

【 0 0 0 3 】

メモリインターフェース 9 4 は、内部バス 9 6 の使用調停を行なうためのバスアービタ 9 5 を備えている。外部インターフェース 9 2 は、システムバス 1 0 1 を介して、外部の CPU 1 0 0 に接続されている。メモリインターフェース 9 4 は、外部のローカルメモリ 1 0 2 に直接接続されている。

【 0 0 0 4 】

CPU 1 0 0 がローカルメモリ 1 0 2 にアクセスを行なう場合、先ず、外部インターフェース 9 2 に対してアクセスを実行する。CPU 1 0 0 からのアクセスを受けると、外部インターフェース 9 2 は、バスアービタ 9 5 に対して内部バス 9 6 の使用を要求する。複数の内部ユニット 9 3 のいずれもが内部バス 9 6 を使用していない場合は、バスアービタ 9 5 は、外部インターフェース 9 2 に対して内部バス 9 6 の使用を許可する。

【 0 0 0 5 】

内部バス 9 6 の使用が許可されると、外部インターフェース 9 2 は、内部バス 9 6 側ではメモリインターフェース 9 4 を介してローカルメモリ 1 0 2 とデータ転送を行ない、又システムバス 1 0 1 側では CPU 1 0 0 とデータ転送を行なう。

【 0 0 0 6 】

なお、図 1 3 において、9 7 a は内部ユニット 9 3 が内部バス 9 6 の使用を要求するためのバス要求信号であり、9 7 b は外部インターフェース 9 2 が内部バ

ス 9 6 の使用を要求するためのバス要求信号である。また、9 8 a は、内部ユニット 9 3 に内部バス 9 6 の使用を許可するためのバス許可信号であり、9 8 b は外部インターフェース 9 2 に内部バス 9 6 の使用を許可するためのバス許可信号である。

【 0 0 0 7 】

ここで、外部インターフェース 9 2 がバスアービタ 9 5 に対して内部バス 9 6 の使用を要求したときに、いずれかの内部ユニット 9 3 が既に長期に渡って内部バス 9 6 を連続的に使用して、メモリインターフェース 9 4 を介してローカルメモリ 1 0 2 とデータ転送を行っている場合がある。この場合、C P U 1 0 0 における待機時間が長くなり、結果としてシステム全体のパフォーマンスが低下してしまう。

【 0 0 0 8 】

このような問題を解決するため、複数の装置で共有される共有メモリが複数個設けられたシステムが提案されている（例えば、特許文献 1 参照。）。このシステムでは、複数の装置が同時にデータの書き込みや読み出しを実行することができるため、待機時間が長くなってシステム全体のパフォーマンスが低下するのが抑制される。

【 0 0 0 9 】

【特許文献 1】

特開昭 6 3 - 1 8 1 0 6 8 号公報

【 0 0 1 0 】

【発明が解決しようとする課題】

しかしながら、上記のシステムでは、1 つのシステムを構成するために複数の共有メモリが必要となるため、コストが増大するという問題がある。

【 0 0 1 1 】

本発明の目的は、複数の共有メモリを必要とせずに、C P U 等の外部装置とローカルメモリとの間のアクセスの待機時間を短くして、システム全体のパフォーマンスを向上させ得るバス制御装置、及びこれを用いた情報処理システムを提供することにある。

【 0 0 1 2 】

【課題を解決するための手段】

上記目的を達成するために本発明にかかる第 1 のバス制御装置は、外部の装置に外部のシステムバスを介して接続される外部インターフェースと、内部ユニットと、外部のローカルメモリに接続されるメモリインターフェースと、前記外部インターフェース及び前記内部ユニットと前記メモリインターフェースとの間を少なくとも接続する内部バスとを有するバス制御装置であって、前記メモリインターフェースは、前記外部インターフェース及び前記内部ユニットによる前記内部バスの使用状況を監視し、前記内部ユニットが前記内部バスを使用していない場合に、前記外部インターフェースのみが前記内部バスを使用できる優先区間を設定し、前記優先区間において前記内部ユニットによる前記内部バスの使用を制限させることを特徴とする。

【 0 0 1 3 】

上記第 1 のバス制御装置においては、前記メモリインターフェースが、前記外部インターフェース及び前記内部ユニットによる前記内部バスの使用要求に対して調停を行なうバスアービタと、前記バスアービタによって行なわれた調停の結果に基づいて前記内部バスの使用状況を監視する優先区間管理部とを有し、前記優先区間管理部は、前記内部ユニットが前記内部バスを使用していない場合に、前記バスアービタ及び前記外部インターフェースに対して、前記外部インターフェースのみに前記内部バスの使用を許可する旨を通知して、前記優先区間を設定し、前記バスアービタは、前記優先区間が設定されている間、前記内部ユニットによる前記内部バスの使用を制限する態様とするのが好ましい。

【 0 0 1 4 】

また、上記第 1 のバス制御装置の上記態様においては、前記メモリインターフェースが、前記優先区間の長さを特定する情報を格納する優先区間設定レジスタを有し、前記優先区間管理部が、前記優先区間設定レジスタに格納された前記情報に基づいて、前記優先区間を設定するのが好ましい。

【 0 0 1 5 】

更に、上記第 1 のバス制御装置の上記態様においては、前記内部ユニットが、

前記バスアービタに対して、前記内部バスの使用を要求すると共に、転送を予定しているデータ量を通知する機能を有しており、前記バスアービタが、前記優先区間中に、前記内部ユニットから前記内部バスの使用要求と前記転送を予定しているデータ量の通知とを受けた場合に、予め設定されたデータ量と、前記転送を予定しているデータ量とを比較し、前記転送を予定しているデータ量が前記予め設定されたデータ量以下であるならば、前記優先区間中において前記内部ユニットによる前記内部バスの使用を認めるのが好ましい。

【 0 0 1 6 】

また、上記第 1 のバス制御装置の上記態様においては、前記優先区間管理部による前記内部バスの使用状況の監視が、前記バスアービタによって行なわれた調停の結果を予め設定された頻度で確認することによって行なわれており、前記頻度は、前記外部の装置によって設定されているのが好ましい。

【 0 0 1 7 】

次に、上記目的を達成するために本発明にかかる第 2 のバス制御装置は、外部の装置に外部のシステムバスを介して接続される外部インターフェースと、複数の内部ユニットと、外部のローカルメモリに接続されるメモリインターフェースと、前記外部インターフェース及び前記内部ユニットと前記メモリインターフェースとの間を接続する内部バスとを有するバス制御装置であって、前記複数の内部ユニットのうち一部の内部ユニットは、前記内部バスを介して前記メモリインターフェースに転送するデータを分割して転送する機能を有し、前記メモリインターフェースは、前記分割された全てのデータの転送を終了するまでの間、前記一部の内部ユニット以外の他の内部ユニットによる前記内部バスの使用を制限し、且つ、前記外部インターフェースによる前記内部バスの使用を許可することを特徴とする。

【 0 0 1 8 】

上記第 2 のバス制御装置においては、前記一部の内部ユニットが分割転送通知部を有し、前記分割転送通知部は、前記データを分割して転送する場合に、前記分割された全てのデータの転送を終了するまでの間、前記メモリインターフェースに対して、分割されたデータが転送中であることを通知する機能を有し、前記

メモリインターフェースが、前記外部インターフェース及び前記内部ユニットによる前記内部バスの使用要求に対して調停を行なうバスアービタを有し、前記バスアービタは、前記分割されたデータが転送中であることを通知されている間、前記他の内部ユニットによる内部バスの使用を制限し、且つ、外部インターフェースによる内部バスの使用を許可するのが好ましい態様である。

【 0 0 1 9 】

上記第 2 のバス制御装置の上記態様においては、前記一部の内部ユニットが、前記データの分割数を設定するための情報を格納する分割数設定レジスタを有しており、格納された前記情報に基づいて前記データを分割するのが好ましい。

【 0 0 2 0 】

更に、上記第 2 のバス制御装置の上記態様においては、前記外部インターフェース及び前記他の内部ユニットが、前記バスアービタに対して、前記内部バスの使用を要求すると共に、転送を予定しているデータ量を通知する機能を有しており、前記バスアービタが、前記分割されたデータが転送中であることを通知されている間に、前記外部インターフェース及び前記他の内部ユニットのうち的一方又は両方から、前記内部バスの使用要求と前記転送を予定しているデータ量の通知とを受けた場合に、予め設定されたデータ量と、前記転送を予定しているデータ量とを比較して、前記一方又は両方が前記予め設定されたデータ量以下のデータ量の転送を予定しているかどうかを判定し、前記予め設定されたデータ量以下のデータ量の転送を予定していると判定されたものに対して、前記分割されたデータが転送中であることを通知されている間、前記内部バスの使用を認めるのが好ましい。

【 0 0 2 1 】

次に、上記目的を達成するために本発明にかかる情報処理装置は、上記第 1 及び第 2 のいずれかのバス制御装置と、前記バス制御装置の外部インターフェースにシステムバスを介して接続された CPU と、前記バス制御装置のメモリインターフェースに接続されたローカルメモリとを有することを特徴とする。

【 0 0 2 2 】

【発明の実施の形態】

(実施の形態 1)

以下、本発明の実施の形態 1 にかかるバス制御装置及び情報処理システムについて、図 1 ～図 2 を参照しながら説明する。最初に、本実施の形態 1 にかかるバス制御装置及び情報処理システムの構成について図 1 を用いて説明する。図 1 は、本発明の実施の形態 1 にかかるバス制御装置及び情報処理システムを示す構成図である。

【0023】

図 1 に示すように、本実施の形態 1 のバス制御装置 1 は、外部インターフェース 2 と、内部ユニット 3 と、メモリインターフェース 4 と、内部バス 7 とを有している。また、本実施の形態 1 にかかる情報処理システムは、外部インターフェース 2 を外部のシステムバス 13 を介して外部の装置である CPU 11 に接続し、メモリインターフェース 4 を外部のローカルメモリ 12 に直接接続することによって構成されている。

【0024】

内部バス 7 は、外部インターフェース 2 とメモリインターフェース 4 との間、及び各内部ユニット 3 とメモリインターフェース 4 との間を接続するバスである。内部バス 7 は、CPU 11 及び内部ユニット 3 がローカルメモリ 12 にアクセスするのに使用される。

【0025】

内部ユニット 3 は、情報処理システムの用途に合わせて種々の処理を行なう。例えば、情報処理システムが、カーナビゲーションシステムに使用される場合は、内部ユニット 3 としては、地図の描画を行ないその結果をローカルメモリに格納する描画ユニット、ローカルメモリに格納された画像を外部の表示装置に出力する画像表示ユニット、及び外部の映像入力装置からビデオ入力信号を取り込みローカルメモリに格納するビデオ入力ユニット等が挙げられる。また、この場合、CPU 11 とローカルメモリ 12 との間で転送されるデータとしては、CPU 11 が情報処理システムを制御するための命令や、情報処理システムがローカルメモリに格納した画像データ等が挙げられる。なお、本実施の形態 1 では、内部ユニット 3 は複数個設けられているが、本発明はこれに限定されず、単一であ

っても良い。

【 0 0 2 6 】

本実施の形態 1 では、メモリインターフェース 4 は、バスアービタ 5 と優先区間管理部 6 とを有している。バスアービタ 5 は、外部インターフェース 2 及び内部ユニット 3 による内部バス 7 の使用要求に対して調停を行なう。

【 0 0 2 7 】

外部インターフェース 2 による使用要求は、外部インターフェース 2 からメモリインターフェース 4 に送信されているバス要求信号 9 b を、CPU 1 1 がローカルメモリ 1 2 に対してアクセスを行なう際にアサートすることによって行なわれている。また、内部ユニット 3 による使用要求は、内部ユニット 3 からメモリインターフェース 4 に送信されているバス要求信号 9 a を、内部ユニット 3 がローカルメモリ 1 2 にアクセスを行なう際にアサートすることによって行なわれている。

【 0 0 2 8 】

調停の結果、外部インターフェース 2 に内部バス 7 の使用を認める場合は、バスアービタ 5 は、外部インターフェース 2 に送信しているバス許可信号 1 0 b をアサートする。一方、また、内部ユニット 3 による使用を認める場合は、メモリインターフェース 4 から内部ユニット 3 に送信されているバス許可信号 1 0 a をアサートする。

【 0 0 2 9 】

優先区間管理部 6 は、バスアービタ 5 によって行なわれた調停の結果に基づいて内部バス 7 の使用状況を監視する。優先区間管理部 6 による監視は、常時行なうこともできるし、一定時間毎に行なうこともできる。優先区間管理部 6 は、監視の結果、いずれの内部ユニット 3 も内部バス 7 を使用していないと判断した場合は、バスアービタ 5 及び外部インターフェース 2 に対して、外部インターフェース 2 のみに内部バス 7 の使用を許可する旨を通知して、外部インターフェース 2 のみが内部バス 7 を使用できる区間（優先区間）を設定する。

【 0 0 3 0 】

具体的には、優先区間管理部 6 は、いずれの内部ユニット 3 も内部バス 7 を使

用していないと判断した場合は、バスアービタ 5 及び外部インターフェース 2 に送信している優先区間通知信号 8 をアサートさせることによって、優先区間を設定する。つまり、優先区間通知信号 8 のアサートが継続されている間が、優先区間となる。

【 0 0 3 1 】

優先区間通知信号 8 がアサートされている間は、バスアービタ 5 は、外部インターフェース 2 のみに内部バス 7 の使用を認め、内部ユニット 3 による内部バス 7 の使用を制限する。具体的には、バスアービタ 5 は、外部インターフェース 2 に出力しているバス許可信号 1 0 b をアサートさせ、内部ユニットに出力しているバス許可信号 1 0 b をネゲートする。

【 0 0 3 2 】

優先区間は、外部インターフェース 2 からの使用要求が終了した後、即ち、バス要求信号 9 b がネゲートされた後、優先区間通知信号 8 をネゲートすることによって終了する。

【 0 0 3 3 】

また、外部インターフェース 2 は、優先区間が設定されると、例えば割り込み信号 1 4 によって、CPU 1 1 に対して、内部バス 7 に優先区間が設定されたことを通知する。なお、本実施の形態 1 では、内部バス 7 とは別に、優先区間通知信号 8 を外部インターフェース 2 に送信するための配線が設けられている。この配線は外部インターフェース 2 とメモリインターフェース 4 とを直接接続している。

【 0 0 3 4 】

次に、本実施の形態 1 にかかるバス制御装置の動作について図 2 を用いて説明する。図 2 は、本発明の実施の形態 1 にかかるバス制御装置の動作の一例を示すタイミングチャートである。図 2 において、信号は全てローアクティブ、即ちローレベルのとき真であるものとする。

【 0 0 3 5 】

図 2 に示すように、タイミング T 0 ～ T 6 で、バスアービタ 5 は外部インターフェース 2 及び内部ユニット 3 の使用要求に対して通常の調停を行なう。タイミ

ングT 0～T 6は通常区間である。

【 0 0 3 6 】

タイミングT 6で、優先区間管理部 6は、外部インターフェース 2とバスアービタ 5に対して優先区間通知信号 8をアサートすることによって、優先区間を開始することを通知する。優先区間通知信号 8を受信した外部インターフェース 2は、CPU 1 1に対して割り込み信号 1 4を出力して、優先区間が開始されることを通知する。

【 0 0 3 7 】

タイミングT 7で、CPU 1 1からのアクセスを受けた外部インターフェース 2は、バスアービタ 5に対してバス要求信号 9 bをアサートすることによって、外部インターフェース 2が内部バス 7を使用することを要求する。

【 0 0 3 8 】

一方、内部ユニット 3は、タイミングT 6で既にバスアービタ 5に対してバス要求信号 9 aをアサートすることによって、内部ユニット 3が内部バス 7を使用することを要求している。しかし、タイミングT 6で、優先区間管理部 6から優先区間通知信号 8がアサートされているため、バスアービタ 5は内部ユニット 3からの要求を無視する。

【 0 0 3 9 】

タイミングT 8で、バスアービタ 5は、外部インターフェース 2に対してバス許可信号 1 0 bをアサートすることによって、外部インターフェース 2が内部バス 7を使用することを許可する。これにより外部インターフェース 2は内部バス 7を使用してデータの転送を行なう。

【 0 0 4 0 】

データの転送が終了すると、タイミングT 1 0で、外部インターフェース 2は、バスアービタ 5に対してバス要求信号 9 bをネゲートする。バス要求信号 9 bのネゲートにより、外部インターフェース 2による使用要求が終了したと判断したバスアービタ 5は、タイミングT 1 1で、外部インターフェース 2に対してバス許可信号 1 0 bをネゲートする。

【 0 0 4 1 】

バス許可信号 1 0 b のネゲートを確認した優先区間管理部 6 は、タイミング T 1 2 で、外部インターフェース 2 とバスアービタ 5 に対して優先区間通知信号 8 をネゲートすることによって、優先区間が終了することを通知する。通知を受けた外部インターフェース 2 は、CPU 1 1 に対して割り込み信号 1 4 を出力することによって、優先区間が終了することを通知する。

【 0 0 4 2 】

タイミング T 1 2 ～ T 1 7 で、通常区間に戻り、バスアービタ 5 は、タイミング T 1 ～ T 5 と同様に、外部インターフェース 2 及び内部ユニット 3 の使用要求に対して通常の調停を行なう。

【 0 0 4 3 】

以上の構成により、本実施の形態 1 にかかるバス制御装置及び情報処理システムを用いれば、優先区間管理部 6 が優先区間を設定している間、バスアービタ 5 は外部インターフェース 2 に対してのみ内部バス 7 の使用を許可することができる。このため、CPU 1 1 は、ローカルメモリ 1 2 へのアクセスを少ない待ち時間で行なうことができるので、システム全体のパフォーマンスの向上を図ることができる。

【 0 0 4 4 】

(実施の形態 2)

次に本発明の実施の形態 2 にかかるバス制御装置及び情報処理システムについて、図 3 ～図 4 を参照しながら説明する。最初に、本実施の形態 2 にかかるバス制御装置及び情報処理システムの構成について図 3 を用いて説明する。図 3 は、本発明の実施の形態 2 にかかるバス制御装置及び情報処理システムを示す構成図である。

【 0 0 4 5 】

図 3 に示すように、本実施の形態 2 のバス制御装置及び情報処理システムは、メモリインターフェース 2 2 の構成及び機能が異なる以外は、実施の形態 1 のバス制御装置及び情報処理システムと同様である。本実施の形態 2 では、メモリインターフェース 2 2 は、バスアービタ 5 及び優先区間管理部 2 3 に加えて、優先区間設定レジスタ 2 4 を備えている。バスアービタ 5 は実施の形態 1 と同様のも

のである。

【 0 0 4 6 】

本実施の形態 2 では、CPU 1 1 によって優先区間の長さが設定され、設定された優先区間の長さを特定する情報が優先区間設定レジスタ 2 4 に格納される。優先区間管理部 2 3 は、優先区間設定レジスタ 2 4 に格納された情報に基づいて、優先区間を設定する。

【 0 0 4 7 】

CPU 1 1 による優先区間の長さの設定は、例えば、アクセスの回数やデータ量等によって行なわれる。具体的には、アクセスの回数によって優先区間の長さを設定する場合は、CPU 1 1 は、優先区間中に認める外部インターフェース 2 によるアクセス回数を設定し、設定したアクセス回数を優先区間設定レジスタ 2 4 に格納させる。この場合は、優先区間中に、設定された回数のアクセスが外部インターフェース 2 によって行なわれ、最後のアクセスが終了したときに優先区間が終了する。

【 0 0 4 8 】

また、データ量によって優先区間の長さを設定する場合は、CPU 1 1 は、優先区間中に外部インターフェース 2 とメモリアインターフェース 2 2 との間で転送されるデータ量を設定し、設定したデータ量を優先区間設定レジスタ 2 4 に格納させる。この場合は、優先区間中に、外部インターフェース 2 とメモリアインターフェース 2 2 との間で設定されたデータ量の転送が行われ、最後のデータの転送が終了したときに優先区間が終了する。

【 0 0 4 9 】

次に、本実施の形態 2 にかかるバス制御装置の動作について図 4 を用いて説明する。図 4 は、本発明の実施の形態 2 にかかるバス制御装置の動作の一例を示すタイミングチャートである。図 4 において、信号は全てローアクティブであるものとする。また、図 4 は、CPU による優先区間の長さがアクセスの回数によって設定されている場合を示しており、設定されたアクセスの回数は 2 回である。

【 0 0 5 0 】

図 4 に示すようにタイミング T 0 ～ T 4 で、バスアービタ 5 は、外部インター

フェース 2 及び内部ユニット 3 の使用要求に対して通常の調停を行なう。タイミング T 0 ～ T 4 は通常区間である。

【 0 0 5 1 】

タイミング T 4 で、優先区間管理部 2 3 は、外部インターフェース 2 とバスアービタ 5 に対して優先区間通知信号 8 をアサートすることによって、CPU 優先区間を開始することを通知する。外部インターフェース 2 は、CPU 1 1 に対して割り込み信号 1 4 を出力して、優先区間が開始されることを通知する。

【 0 0 5 2 】

タイミング T 5 で、CPU 1 1 からのアクセスを受けた外部インターフェース 2 は、バスアービタ 5 に対してバス要求信号 9 b をアサートすることによって、外部インターフェース 2 が内部バス 7 を使用することを要求する。

【 0 0 5 3 】

一方、内部ユニット 3 は、タイミング T 4 で既にバスアービタ 5 に対してバス要求信号 9 a をアサートすることによって、内部ユニット 3 が内部バス 7 を使用することを要求している。しかし、タイミング T 4 で、優先区間管理部 2 3 から優先区間通知信号 8 がアサートされているため、バスアービタ 5 は内部ユニット 3 からの要求を無視する。

【 0 0 5 4 】

タイミング T 6 で、バスアービタ 5 は、外部インターフェース 2 に対してバス許可信号 1 0 b をアサートすることによって、外部インターフェース 2 が内部バス 7 を使用することを許可する。これにより外部インターフェース 2 は内部バス 7 を使用してデータの転送を行なう。

【 0 0 5 5 】

データの転送が終了すると、タイミング T 7 で、外部インターフェース 2 は、バスアービタ 5 に対してバス要求信号 9 b をネゲートする。バス要求信号 9 b のネゲートにより、外部インターフェース 2 による使用要求が終了したと判断したバスアービタ 5 は、タイミング T 8 で、外部インターフェース 2 に対してバス許可信号 1 0 b をネゲートする。

【 0 0 5 6 】

なお、実施の形態 1 では、バスアービタ 5 が外部インターフェース 2 に対してバス許可信号 1 0 b をネゲートした後、優先区間も終了されていたが、本実施の形態 2 では、アクセス回数を 2 回として優先区間が設定されているため、まだ優先区間は終了されていない。

【 0 0 5 7 】

タイミング T 9 で、CPU 1 1 からの二度目のアクセスを受けた外部インターフェース 2 は、バスアービタ 5 に対して二度目のバス要求信号 9 b をアサートすることによって、外部インターフェース 2 が内部バス 7 を使用することを要求する。

【 0 0 5 8 】

タイミング T 1 0 で、バスアービタ 5 は、外部インターフェース 2 に対して二度目のバス許可信号 1 0 b をアサートすることによって、外部インターフェース 2 が内部バス 7 を使用することを許可する。これにより外部インターフェース 2 は内部バス 7 を使用して二度目のデータの転送を行なう。

【 0 0 5 9 】

二度目のデータの転送が終了すると、タイミング T 1 1 で、外部インターフェース 2 は、バスアービタ 5 に対してバス要求信号 9 をネゲートする。バス要求信号 9 b のネゲートにより、外部インターフェース 2 による二度目の使用要求が終了したと判断したバスアービタ 5 は、タイミング T 1 2 で、外部インターフェース 2 に対してバス許可信号 1 0 b をネゲートする。

【 0 0 6 0 】

外部インターフェース 2 が内部バス 7 に対して一連のアクセスを 2 回完了したため、タイミング T 1 3 で、優先区間管理部 2 3 は、外部インターフェース 2 とバスアービタ 5 に対して優先区間通知信号 8 をネゲートすることによって、優先区間を終了することを通知する。通知を受けた外部インターフェース 2 は、CPU 1 1 に対して割り込み信号 1 4 を出力することによって、CPU 優先区間を終了することを通知する。

【 0 0 6 1 】

タイミング T 1 3 ～ T 1 7 で、通常区間に戻り、バスアービタ 5 は、タイミン

グ T 1 ～ T 3 と同様に、外部インターフェース 2 及び内部ユニット 3 の使用要求に対して通常の調停を行なう。

【 0 0 6 2 】

以上の構成により、本実施の形態 2 にかかるバス制御装置及び情報処理システムを用いた場合も、実施の形態 1 と同様の効果を得ることができる。また、本実施の形態 2 では、CPU 1 1 が優先区間の長さを自由に設定できるため、CPU 1 1 とローカルメモリ 1 2 との間で転送されるデータの転送量に応じて、優先区間の長さを設定でき、バス制御装置の汎用性を高めることができる。

【 0 0 6 3 】

例えば、CPU 1 1 が、情報処理システムによってローカルメモリに格納された大容量の画像データを、ローカルメモリから読み出して画像処理を行なうような場合、CPU 優先区間を長く設定することによって画像処理が遅延するのを抑制することができる。

【 0 0 6 4 】

(実施の形態 3)

次に本発明の実施の形態 3 にかかるバス制御装置及び情報処理システムについて、図 5 ～図 6 を参照しながら説明する。最初に、本実施の形態 3 にかかるバス制御装置及び情報処理システムの構成について図 5 を用いて説明する。図 5 は、本発明の実施の形態 3 にかかるバス制御装置及び情報処理システムを示す構成図である。

【 0 0 6 5 】

図 5 に示すように、本実施の形態 3 のバス制御装置及び情報処理システムは、内部ユニット 3 2 及びメモリインターフェース 3 3 の構成及び機能が、実施の形態 1 のバス制御装置及び情報処理システムと異なっている。本実施の形態 3 では、優先区間中において、予め定められたデータ量の転送について内部ユニット 3 2 による内部バス 7 の使用が認められる。それ以外の点では、実施の形態 1 と同様である。なお、本明細書でいう「データ量」とは、ワード数等によって特定されるデータの大きさをいう。

【 0 0 6 6 】

具体的には、本実施の形態 3 においては、メモリインターフェース 3 3 は、バスアービタ 3 4 及び優先区間管理部 6 に加えて、許容データ量設定レジスタ 3 5 を備えている。許容データ量設定レジスタ 3 5 には、優先区間中において内部ユニット 3 2 による転送が許容されるデータ量を特定する情報が格納される。優先区間管理部 6 は実施の形態 1 と同様のものである。

【 0 0 6 7 】

また、本実施の形態 3 では、優先区間中において内部ユニット 3 2 による転送が許容されるデータ量は、CPU 1 1 によって設定されている。CPU 1 1 が設定した許容データ量は、許容データ量設定レジスタ 3 5 に格納される。

【 0 0 6 8 】

内部ユニット 3 2 は、バスアービタ 3 4 に対して内部バス 7 の使用を要求する際に、転送を予定しているデータ量を通知する。具体的には、内部ユニット 3 2 は、バス要求信号 9 a をアサートさせると同時に、データ量通知信号 3 6 をバスアービタ 3 4 に出力して、転送を予定しているデータ量を通知する。

【 0 0 6 9 】

バスアービタ 3 4 は、優先区間中に、内部ユニット 3 2 から内部バス 7 の使用要求と転送を予定しているデータ量の通知とを受けた場合は、許容データ量設定レジスタ 3 5 に格納されているデータ量と、通知を受けたデータ量との比較を行なう。比較の結果、内部ユニット 3 2 が転送を予定しているデータ量が、許容データ量設定レジスタ 3 5 に格納されたデータ量以下であるならば、バスアービタ 3 4 は、優先区間中における内部ユニット 3 2 による内部バス 7 の使用を認める。

【 0 0 7 0 】

なお、本実施の形態 3 においても、バスアービタ 3 4 は、実施の形態 1 と同様に、外部インターフェース 2 及び内部ユニット 3 2 による内部バス 7 の使用要求に対して調停を行なう。

【 0 0 7 1 】

次に、本実施の形態 3 にかかるバス制御装置の動作について図 6 を用いて説明する。図 6 は、本発明の実施の形態 3 にかかるバス制御装置の動作の一例を示す。

タイミングチャートである。図 6 において、信号は全てローアクティブであるものとする。また、図 6 において、バスアービタ 3 4 が転送を許容するデータ量は 2 ワードである。ただし、内部バス 7 を介して、一度に転送されるデータの最小単位を 1 ワードとする。バスアービタ 3 4 は、データ量が 2 ワード以下の場合は、内部ユニット 3 2 に対して内部バス 7 の使用を許可する。

【 0 0 7 2 】

図 6 に示すように、タイミング T 1 で、優先区間管理部 6 は、外部インターフェース 2 とバスアービタ 3 4 に対して優先区間通知信号 8 をアサートすることによって、優先区間を開始することを通知する。優先区間通知信号 8 を受信した外部インターフェース 2 は、CPU 1 1 に対して割り込み信号 1 4 を出力して、優先区間が開始されることを通知する。

【 0 0 7 3 】

タイミング T 2 で、CPU 1 1 からのアクセスを受けた外部インターフェース 2 は、バスアービタ 3 4 に対してバス要求信号 9 b をアサートすることによって、外部インターフェース 2 が内部バス 7 を使用することを要求する。

【 0 0 7 4 】

更に、タイミング T 3 で、バスアービタ 3 4 は、外部インターフェース 2 に対してバス許可信号 1 0 b をアサートすることによって、外部インターフェース 2 が内部バス 7 を使用することを許可する。これにより外部インターフェース 2 は内部バス 7 を使用してデータの転送を行なう。

【 0 0 7 5 】

データの転送が終了すると、タイミング T 6 で、外部インターフェース 2 は、バスアービタ 3 4 に対してバス要求信号 9 b をネゲートする。バス要求信号 9 b のネゲートにより、外部インターフェース 2 による使用要求が終了したと判断したバスアービタ 3 4 は、タイミング T 7 で、外部インターフェース 2 に対してバス許可信号 1 0 b をネゲートする。

【 0 0 7 6 】

また、タイミング T 4 で、内部ユニット 3 2 は、バス要求信号 9 a をアサートすると同時に、データ量が 2 ワードであることを示す転送データ量通知信号 3 6

を送信している。

【 0 0 7 7 】

このため、バスアービタ 3 4 は、バス許可信号 1 0 b をネゲートすると同時に、内部ユニット 3 2 に対してバス許可信号 1 0 b をアサートする。これにより、データ量が 2 ワードであることを示す転送データ量通知信号 3 6 を送信した内部ユニット 3 2 に対して、内部バス 7 の使用が許可される。

【 0 0 7 8 】

データの転送が終了し、内部ユニット 3 2 がタイミング T 8 で、バスアービタ 3 4 に対してバス要求信号 9 a をネゲートすると、バスアービタ 3 4 は、タイミング T 9 で、内部ユニット 3 2 に対してバス許可信号 1 0 a をネゲートする。

【 0 0 7 9 】

タイミング T 1 2 で、CPU 1 1 からのアクセスを受けた外部インターフェース 2 は、バスアービタ 5 に対して、再度バス要求信号 9 b をアサートすることによって、外部インターフェース 2 が内部バス 7 を使用することを要求する。

【 0 0 8 0 】

更に、タイミング T 1 3 で、バスアービタ 3 4 は、外部インターフェース 2 に対してバス許可信号 1 0 b をアサートすることによって、外部インターフェース 2 が内部バス 7 を再度使用することを許可する。

【 0 0 8 1 】

データの転送が終了すると、タイミング T 1 4 で、外部インターフェース 2 は、バスアービタ 3 4 に対してバス要求信号 9 b をネゲートする。続いて、タイミング T 1 5 で、バスアービタ 3 4 は、外部インターフェース 2 に対してバス許可信号 1 0 b をネゲートする。

【 0 0 8 2 】

一方、内部ユニット 3 2 は、タイミング T 1 0 で、再度、バスアービタ 5 に対してバス要求信号 9 a をアサートすることによって、内部バス 7 を使用することを要求しているが、転送を予定しているデータ量は 5 ワードである。このため、バスアービタ 3 4 は、内部ユニット 3 2 からの要求を無視している。

【 0 0 8 3 】

タイミング T 1 6 で、優先区間管理部 6 は、外部インターフェース 2 とバスアービタ 3 4 に対して優先区間通知信号 8 をネゲートすることによって、優先区間が終了することを通知する。通知を受けた外部インターフェース 2 は、CPU 1 1 に対して割り込み信号 1 4 を出力することによって、優先区間が終了することを通知する。この後、通常区間に戻り、バスアービタ 3 4 は、外部インターフェース 2 及び内部ユニット 3 2 の使用要求に対して通常の調停を行なう。

【 0 0 8 4 】

以上のような構成により、本実施の形態 3 にかかるバス制御装置及び情報処理システムを用いた場合は、優先区間中においても内部ユニット 3 2 からローカルメモリ 1 2 へのアクセスが可能になる。また、優先区間中において、内部ユニット 3 2 からローカルメモリ 1 2 へと転送できるデータ量は制限されている。このため、CPU 1 1 からローカルメモリ 1 2 へのアクセスの待ち時間を少なくしつつ、内部ユニット 3 2 による処理も進めることができるので、システム全体のパフォーマンスの向上を図ることができる。

【 0 0 8 5 】

（実施の形態 4）

次に本発明の実施の形態 4 にかかるバス制御装置及び情報処理システムについて、図 7 を参照しながら説明する。図 7 は、本発明の実施の形態 4 にかかるバス制御装置及び情報処理システムを示す構成図である。

【 0 0 8 6 】

図 7 に示すように、本実施の形態 4 のバス制御装置及び情報処理システムは、メモリインターフェース 4 2 の構成及び機能が異なる以外は、実施の形態 1 のバス制御装置及び情報処理システムと同様である。本実施の形態 4 では、メモリインターフェース 4 2 は、バスアービタ 5 及び優先区間管理部 4 3 に加えて、優先区間頻度設定レジスタ 4 4 を備えている。バスアービタ 5 は実施の形態 1 と同様のものである。

【 0 0 8 7 】

優先区間頻度設定レジスタ 4 4 には、優先区間管理部 4 3 がバスアービタ 5 によって行なわれた調停の結果を確認する頻度が設定されており、優先区間管理部

4 3 は、設定された頻度で調停結果を確認することによって、内部バス 7 の使用状況を監視する。また、優先区間管理部 4 3 が調停結果を確認する頻度は、本実施の形態 4 では、CPU 1 1 によって、CPU 1 1 のローカルメモリ 1 2 へのアクセス頻度に応じて設定される。

【0 0 8 8】

確認の結果、いずれの内部ユニット 3 も内部バス 7 を使用していなければ、優先区間管理部 4 3 は、実施の形態 1 と同様に、優先区間通知信号 8 をアサートさせて優先区間を設定する。

【0 0 8 9】

このため、本実施の形態 4 では、CPU 1 1 によるローカルメモリ 1 2 へのアクセス頻度に応じて、優先区間を設定することができる。よって、例えば、描画コマンドのような頻繁に更新される必要のあるデータを、CPU 1 1 がローカルメモリ 1 2 との間で転送する場合には、調停の結果を確認する頻度を高くして、CPU 1 1 における処理速度の低下を抑制することができる。このことから、本実施の形態 4 によれば、汎用性の高いバス制御装置を得ることができると言える。

【0 0 9 0】

なお、本実施の形態 4 という頻度としては、時間が挙げられる。優先区間管理部 4 3 は、優先区間頻度設定レジスタ 4 4 に設定された時間毎に調停結果を監視する。

【0 0 9 1】

(実施の形態 5)

次に本発明の実施の形態 5 にかかるバス制御装置及び情報処理システムについて、図 8 ～図 9 を参照しながら説明する。最初に、本実施の形態 5 にかかるバス制御装置及び情報処理システムの構成について図 8 を用いて説明する。図 8 は、本発明の実施の形態 5 にかかるバス制御装置及び情報処理システムを示す構成図である。

【0 0 9 2】

図 8 に示すように、本実施の形態 5 においても、バス制御装置は、実施の形態

1と同様に、外部インターフェース2と、内部ユニット52及び53と、メモリインターフェース56と、内部バス7とを有している。また、本実施の形態5にかかる情報処理システムも、外部インターフェース2を外部のシステムバス13を介して外部の装置であるCPU11に接続し、メモリインターフェース56を外部のローカルメモリ12に直接接続することによって構成されている。

【0093】

但し、本実施の形態5においては、内部ユニット53は、実施の形態1で示した内部ユニットと同様の内部ユニット52と異なり、内部バス7を介してメモリインターフェース56に転送するデータを分割して転送する機能を有している。

【0094】

また、内部ユニット53は、分割転送通知部54を備えている。分割転送通知部54は、分割されたデータを内部バス7によって転送する場合に、分割された全てのデータの転送を終了するまでの間、メモリインターフェース56に対して、分割されたデータが転送中であることを通知する。

【0095】

分割されたデータが転送中である旨の通知は、本実施の形態5では、分割転送通知部54からメモリインターフェース56に送信する分割転送通知信号55をアサートすることによって行なわれている。また、内部ユニット53による使用要求は、内部ユニット53からメモリインターフェース56に送信されているバス要求信号9cをアサートすることによって行なわれている。

【0096】

なお、内部ユニット52及び外部インターフェース2による使用要求は、実施の形態1と同様に行なわれている。また、以下の説明においては、内部ユニット53は、内部ユニット52と区別するため、「特定内部ユニット」53と呼ぶ。

【0097】

メモリインターフェース56は、実施の形態1と同様に、外部インターフェース2、内部ユニット52、及び特定内部ユニット53による内部バス7の使用要求に対して調停を行なうバスアービタ57を有している。但し、本実施の形態5では、バスアービタ57は、分割された全てのデータの転送を終了するまでの間

、即ち、分割転送通知信号 5 5 がアサートされている間、外部インターフェース 2 及び特定内部ユニット 5 3 に対してのみ内部バス 7 の使用を許可し、内部ユニット 5 2 に対しては内部バス 7 の使用を制限する。

【 0 0 9 8 】

なお、バスアービタ 5 7 は、特定内部ユニット 5 3 による使用を認める場合は、メモリインターフェース 5 6 から特定内部ユニット 5 3 に送信されているバス許可信号 1 0 c をアサートする。内部ユニット 5 2 及び外部インターフェース 2 による使用を認める場合は、実施の形態 1 と同様である。

【 0 0 9 9 】

次に、本実施の形態 5 にかかるバス制御装置の動作について図 9 を用いて説明する。図 9 は、本発明の実施の形態 5 にかかるバス制御装置の動作の一例を示すタイミングチャートである。図 9 において、信号は全てローアクティブであるものとする。また、図 9 では、特定内部ユニット 5 3 は、内部バス 7 を介してメモリインターフェース 5 6 に転送するデータを二つに分割する。

【 0 1 0 0 】

図 9 に示すように、タイミング T 0 ～ T 2 で、バスアービタ 5 7 は通常の調停を行なう。タイミング T 0 ～ T 2 は通常区間である。タイミング T 1 で、特定内部ユニット 5 3 は、バスアービタ 5 7 に対してバス要求信号 9 c をアサートする。

【 0 1 0 1 】

特定内部ユニット 5 3 からのバス要求信号 9 c がアサートされると、タイミング T 2 で、バスアービタ 5 7 は特定内部ユニット 5 3 に対してバス許可信号 1 0 c をアサートして、特定内部ユニット 5 3 にデータ転送を許可する。同時にタイミング T 2 において、分割転送通知部 5 4 は、分割転送通知信号 5 5 をアサートする。

【 0 1 0 2 】

特定内部ユニット 5 3 は、図 9 の例では転送するデータを 2 つに分割して転送するため、タイミング T 4 でバス要求信号 9 c をネゲートし、タイミング T 5 で内部バス 7 を開放する。特定内部ユニット 5 3 が内部バス 7 を開放すると、バス

アービタ 5 7 は、タイミング T 5 で、調停を行なう。

【 0 1 0 3 】

この時、分割転送通知信号 5 5 がアサートされているため、バスアービタ 5 7 は、内部ユニット 5 2 からのバス要求信号 9 a による使用要求を無視する。一方、バスアービタ 5 7 は、外部インターフェース 2 からのバス要求信号 9 b による使用要求を受け入れ、タイミング T 6 で、外部インターフェース 2 へのバス許可信号 1 0 b をアサートする。

【 0 1 0 4 】

データの転送が終了した外部インターフェース 2 は、タイミング T 8 で、バス要求信号 9 b をネゲートする。バス要求信号 9 b がネゲートされると、バスアービタ 5 7 は、タイミング T 9 で、外部インターフェース 2 へのバス許可信号 1 0 b をネゲートして、内部バス 7 を開放する。

【 0 1 0 5 】

外部インターフェース 2 が内部バス 7 を開放すると、バスアービタ 5 7 は、タイミング T 1 0 で、調停を行なう。この場合も、未だ分割転送通知信号 5 5 がアサートされているため、内部ユニット 5 2 からのバス要求信号 9 a による使用要求を無視する。一方、タイミング T 8 で、特定内部ユニット 5 3 からバス要求信号 9 c がアサートされているため、特定内部ユニット 5 3 からの使用要求を受け入れ、タイミング T 1 0 でバス許可信号 1 0 c をアサートする。

【 0 1 0 6 】

タイミング T 1 3 において、特定内部ユニット 5 3 による全ての分割されたデータの転送が終了するため、特定内部ユニット 5 3 は、バス要求信号 9 c をネゲートする。同時にタイミング T 1 3 において、分割転送通知部 5 4 は、分割転送通知信号 5 5 をネゲートする。この後、タイミング T 1 3 ～ T 1 8 で、バスアービタ 5 7 は通常の調停を行なう。

【 0 1 0 7 】

以上のような構成により、本実施の形態 5 にかかるバス制御装置及び情報処理システムでは、分割転送通知信号 5 5 がアサートされている間、バスアービタ 5 7 によって、内部ユニット 5 2 による内部バス 7 の使用を制限することができる

。このため、本実施の形態 5 においても、実施の形態 1 と同様に、CPU 1 1 がローカルメモリ 1 2 にアクセスする場合の待ち時間を少なくすることができる。

【0 1 0 8】

例えば、特定内部ユニット 5 3 が、ローカルメモリ 1 2 上の画像データを外部の表示装置に転送して画像を表示させる画像表示ユニットである場合では、特定内部ユニット 5 3 とローカルメモリ 1 2 との間のデータ転送が外部の表示装置に依存する所望の期間内に完了する必要がある。この場合、本実施の形態 5 によれば、CPU 1 1 がローカルメモリ 1 2 との間で転送するデータ量によっては、上記所望の期間内に特定内部ユニット 5 3 とローカルメモリ 1 2 との間のデータ転送が完了でき得るため、システム全体のパフォーマンスの向上を図ることができる。

【0 1 0 9】

(実施の形態 6)

次に本発明の実施の形態 6 にかかるバス制御装置及び情報処理システムについて、図 1 0 を参照しながら説明する。図 1 0 は、本発明の実施の形態 6 にかかるバス制御装置及び情報処理システムを示す構成図である。

【0 1 1 0】

本実施の形態 6 にかかるバス制御装置及び情報処理システムにおいては、分割転送通知部 5 4 を備えた特定内部ユニット 6 2 が、更に、分割数設定レジスタ 6 3 を備えている。これ以外の点では、実施の形態 5 と同様である。

【0 1 1 1】

分割数設定レジスタ 6 3 には、転送するデータの分割数を設定するための情報が格納されている。特定内部ユニット 6 2 は、分割数設定レジスタ 6 3 に格納された情報に基づいて、転送するデータを分割し、分割されたデータ毎にバス要求信号 9 c をアサートして内部バス 7 の使用要求を行なう。

【0 1 1 2】

本実施の形態 6 において、分割数設定レジスタ 6 3 に格納される情報としては、例えば、一度の内部バス 7 へのアクセスにおいて転送が許容されるデータ量や、特定内部ユニット 6 2 がメモリインターフェース 5 6 にアクセスできる回数（

アクセス数) 等が挙げられる。

【 0 1 1 3 】

前者の場合、特定内部ユニット 6 2 は、分割後の各データが許容されるデータ量以下となるように分割を行ない、分割の数だけメモリインターフェース 5 6 にアクセスして転送を行なうことになる。また、後者の場合は、データの転送を設定されたアクセス数の回数に分割して行なうことになる。

【 0 1 1 4 】

以上のような構成により、本実施の形態 6 にかかるバス制御装置及び情報処理システムでは、CPU 1 1 のデータ転送の頻度や、特定の内部ユニット 6 2 又は CPU 1 1 が転送するデータの重要度に応じて、特定内部ユニット 6 2 がローカルメモリ 1 2 に一度のアクセスで転送するデータ量やアクセス数を自由に設定できる。このため、汎用性の高いバス制御装置を得ることができると言える。

【 0 1 1 5 】

(実施の形態 7)

次に本発明の実施の形態 7 にかかるバス制御装置及び情報処理システムについて、図 1 1 ～図 1 2 を参照しながら説明する。最初に、本実施の形態 7 にかかるバス制御装置及び情報処理システムの構成について図 1 1 を用いて説明する。図 1 1 は、本発明の実施の形態 7 にかかるバス制御装置及び情報処理システムを示す構成図である。

【 0 1 1 6 】

本実施の形態 7 にかかるバス制御装置及び情報処理システムは、実施の形態 6 と同様に、外部インターフェース 7 2、内部ユニット 7 3、特定内部ユニット 6 2、内部バス 7、及びメモリインターフェース 7 4 を備えている。

【 0 1 1 7 】

但し、本実施の形態 7 では、分割された全てのデータの転送を終了するまでの間において、一定の条件下で内部ユニット 7 3 に対しても使用を認めることができる。このため、外部インターフェース 7 2、内部ユニット 7 3、及びメモリインターフェース 7 4 の機能が、実施の形態 6 と異なっている。特定内部ユニット 6 2 は、実施の形態 6 と同様のものである。

【 0 1 1 8 】

具体的には、本実施の形態 7 においては、外部インターフェース 7 2 及び内部ユニット 7 3 は、メモリインターフェース 7 4 のバスアービタ 7 5 に対して、内部バスの使用を要求すると共に、転送を予定しているデータ量を通知する機能を有している。図 1 1 において、7 7 a は内部ユニット 7 3 がデータ量を通知するために出力する転送データ量通知信号であり、7 7 b は外部インターフェース 7 2 がデータ量を通知するために出力する転送データ量通知信号である。

【 0 1 1 9 】

また、本実施の形態 7 では、バスアービタ 7 5 は、分割されたデータが転送中であることを通知されている間に、外部インターフェース 7 2 及び内部ユニット 7 3 のうちの一方又は両方から、内部バス 7 の使用要求と転送を予定しているデータ量の通知とを受けた場合は、予め設定されたデータ量と、転送を予定しているデータ量との比較を行なう。バスアービタ 7 5 は、この比較によって、外部インターフェース 7 2 及び内部ユニット 7 3 の一方又は両方が予め設定されたデータ量以下のデータ量の転送を予定しているかどうかを判定する。

【 0 1 2 0 】

判定の結果、外部インターフェース 7 2 及び内部ユニット 7 3 の一方又は両方が、予め設定されたデータ量以下のデータ量の転送を予定している場合は、バスアービタ 7 5 は、予め設定されたデータ量以下のデータ量の転送を予定しているものに対して、分割されたデータが転送中であることを通知されている間、内部バス 7 の使用を認める。

【 0 1 2 1 】

一方、予め設定されたデータ量を上回るデータ量の転送が予定されている場合は、バスアービタ 7 5 は、予め設定されたデータ量を上回るデータ量を通知したものからの使用要求を無視する。

【 0 1 2 2 】

また、本実施の形態 7 では、分割されたデータが転送中であることを通知されている間に、外部インターフェース 7 2 及び内部ユニット 7 3 による転送が認められるデータ量は、CPU 1 1 によって設定される。この設定されるデータ量は

、外部インターフェース 7 2 と内部ユニット 7 3 とで異なっても良いし、システム内に複数の内部ユニット 7 3 がある場合には、内部ユニット 7 3 ごとに異なっても良い。更に、メモリインターフェース 7 4 は許容データ量設定レジスタ 7 6 を備えており、CPU 1 1 が設定したデータ量を特定する情報は、許容データ量設定レジスタ 7 6 に格納される。

【 0 1 2 3 】

次に、本実施の形態 7 にかかるバス制御装置の動作について図 1 2 を用いて説明する。図 1 2 は、本発明の実施の形態 7 にかかるバス制御装置の動作の一例を示すタイミングチャートである。図 1 2 において、信号は全てローアクティブであるものとする。また、図 1 2 でも、図 9 の例と同様に、特定内部ユニット 6 2 は、内部バス 7 を介してメモリインターフェース 7 4 に転送するデータを二つに分割する。

【 0 1 2 4 】

図 1 2 に示すように、タイミング T 0 ～ T 2 で、バスアービタ 7 5 は通常の調停を行なう。タイミング T 0 ～ T 2 は通常区間である。タイミング T 1 で、特定の内部ユニット 6 2 はバスアービタ 7 5 に対してバス要求信号 9 c アサートする。

【 0 1 2 5 】

特定内部ユニット 6 2 からのバス要求信号 9 c がアサートされると、タイミング T 2 で、バスアービタ 7 5 は特定の内部ユニット 6 2 に対してバス許可信号 1 0 c をアサートして、特定内部ユニット 6 2 にデータ転送を許可する。同時にタイミング T 2 において、分割転送通知部 5 4 は分割転送通知信号 5 5 をアサートする。

【 0 1 2 6 】

特定内部ユニット 6 2 は、図 1 2 の例でも転送するデータを 2 つに分割して転送するため、タイミング T 4 でバス要求信号 9 c をネゲートし、タイミング T 5 で内部バス 7 を開放する。特定内部ユニット 6 2 が内部バス 7 を開放すると、バスアービタ 7 5 は、タイミング T 5 で、外部インターフェース 7 2 及び内部ユニット 7 3 からのバス使用要求に対して調停を行なう。

【 0 1 2 7 】

但し、この時、分割転送通知信号 5 5 がアサートされている。このため、バスアービタ 7 5 は、外部インターフェース 7 2 及び内部ユニット 7 3 が転送を予定しているデータ量と、許容データ量設定レジスタ 7 6 に格納されているデータ量とを比較し、判定を行なう。判定の結果、転送を予定しているデータ量が許容データ量設定レジスタ 7 6 に格納されているデータ量を上回る使用要求を無視する。

【 0 1 2 8 】

図 1 2 の例では、タイミング T 5 において、外部インターフェース 7 2 及び内部ユニット 7 3 が転送を予定しているデータ量は、ともに許容データ量設定レジスタ 7 6 に格納されているデータ量以下である。このため、バスアービタ 7 5 は外部インターフェース 7 2 及び内部ユニット 7 3 からのバス使用要求に対して調停を行なう。

【 0 1 2 9 】

また、この時、バスアービタ 7 5 は、優先順位を決定する。図 1 2 の例では、外部インターフェース 7 2 のバス使用要求の優先度が高いため、バスアービタ 7 5 は、タイミング T 6 で、外部インターフェース 7 2 に対してバス許可信号 1 0 b をアサートする。なお、優先順位の決定方法としては、例えば、予め優先順位を定めておく方法や、時間的に優先順位を変化させる方法等が挙げられる。

【 0 1 3 0 】

データの転送が終了すると、外部インターフェース 7 2 は、タイミング T 8 でバス要求信号 9 b をネゲートする。更に、タイミング T 9 で、バスアービタ 7 5 は内部バス 7 を解放する。

【 0 1 3 1 】

タイミング T 1 0 において、バスアービタ 7 5 は、バス要求信号 9 a をアサートしている内部ユニット 7 3 に対してバス許可信号 1 0 b をアサートする。バス許可信号 1 0 b がアサートされると、内部ユニット 7 3 はデータの転送を行なう。データの転送が終了すると、内部ユニット 7 3 は、タイミング T 1 1 でバス要求信号 9 a をネゲートする。バス要求信号 9 a がネゲートされると、バスアービ

タ 7 5 は、タイミング T 1 2 で、バス許可信号 1 0 b をネゲートして、内部バス 7 を解放する。

【 0 1 3 2 】

タイミング T 1 2 において、特定内部ユニット 6 2 は、更にバス要求信号 9 c をアサートしているため、バスアービタ 7 5 は、タイミング T 1 3 で、特定内部ユニット 6 2 に対するバス許可信号 1 0 c をアサートする。

【 0 1 3 3 】

特定内部ユニット 6 2 は、データ転送を完了すると、タイミング T 1 5 で、バス信号 9 c をネゲートする。バス要求信号 9 c がネゲートされると、バスアービタ 7 5 は、タイミング T 1 6 で、バス許可信号 1 0 c をネゲートして、内部バス 7 を解放する。

【 0 1 3 4 】

これと同時にタイミング T 1 6 において、分割転送通知部 5 4 は分割転送通知信号 5 5 をネゲートする。タイミング T 1 6 から T 1 8 で、バスアービタ 7 5 は通常の調停を行なう。

【 0 1 3 5 】

以上のような構成により、本実施の形態 7 にかかるバス制御装置及び情報処理システムでは、分割転送通知信号 5 5 がアサートされている間において、一定の条件の下で、内部バス 7 に接続された全ての構成部分が内部バス 7 を使用することができるため、システム全体のパフォーマンスの向上を図ることができる。

【 0 1 3 6 】

また、外部インターフェース 7 2 及び内部ユニット 7 3 が転送できるデータ量は、特定内部ユニット 6 2 のデータ転送の重要度や頻度に応じて自由に設定できるため、バス制御装置の汎用性を高めることができる。

【 0 1 3 7 】

以上の実施の形態 1 ～ 7 において、バス制御装置は単一の半導体集積回路によって実現されている。但し、本発明はこれに限定されず、バス制御装置 1 は、例えば、外部インターフェース、内部ユニット、メモリインターフェースがそれぞれ別の半導体集積回路によって構成され、各半導体集積回路を基板に実装するこ

とによって実現されていても良い。

【 0 1 3 8 】

【発明の効果】

以上のように本発明にかかるバス制御装置及び情報処理システムによれば、CPU等の外部装置からのアクセスを優先させることができるため、従来のように余分なメモリを設けることなく、外部装置がローカルメモリにアクセスする際の待ち時間を低減して、システム全体のパフォーマンスの向上を図ることができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 にかかるバス制御装置及び情報処理システムを示す構成図である。

【図 2】

本発明の実施の形態 1 にかかるバス制御装置の動作の一例を示すタイミングチャートである。

【図 3】

本発明の実施の形態 2 にかかるバス制御装置及び情報処理システムを示す構成図である。

【図 4】

本発明の実施の形態 2 にかかるバス制御装置の動作の一例を示すタイミングチャートである。

【図 5】

本発明の実施の形態 3 にかかるバス制御装置及び情報処理システムを示す構成図である。

【図 6】

本発明の実施の形態 3 にかかるバス制御装置の動作の一例を示すタイミングチャートである。

【図 7】

本発明の実施の形態 4 にかかるバス制御装置及び情報処理システムを示す構成

図である。

【図 8】

本発明の実施の形態 5 にかかるバス制御装置及び情報処理システムを示す構成図である。

【図 9】

本発明の実施の形態 5 にかかるバス制御装置の動作の一例を示すタイミングチャートである。

【図 1 0】

本発明の実施の形態 6 にかかるバス制御装置及び情報処理システムを示す構成図である。

【図 1 1】

本発明の実施の形態 7 にかかるバス制御装置及び情報処理システムを示す構成図である。

【図 1 2】

本発明の実施の形態 7 にかかるバス制御装置の動作の一例を示すタイミングチャートである。

【図 1 3】

従来のバス制御装置の一例を示す構成図である。

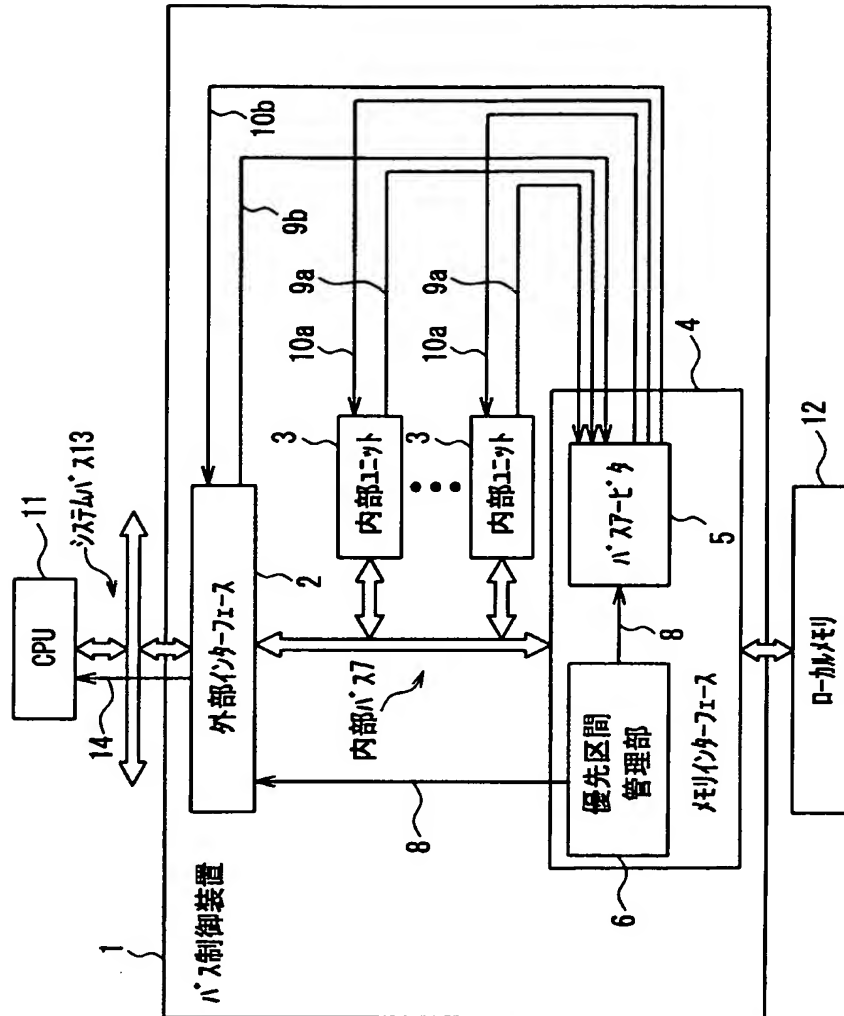
【符号の説明】

- 1、2 1、3 1、4 1、5 1、6 1、7 1 バス制御装置
- 2、7 2 外部インターフェース
- 3、5 2、7 3 内部ユニット
- 4、2 2、3 3、4 2、5 6、7 4 メモリインターフェース
- 5、3 4、5 7、7 5 バスアービタ
- 6、2 3、4 3 優先区間管理部
- 7 内部バス
- 8 優先区間通知信号
- 9 a、9 b、9 c バス要求信号
- 1 0 a、1 0 b、1 0 c バス許可信号

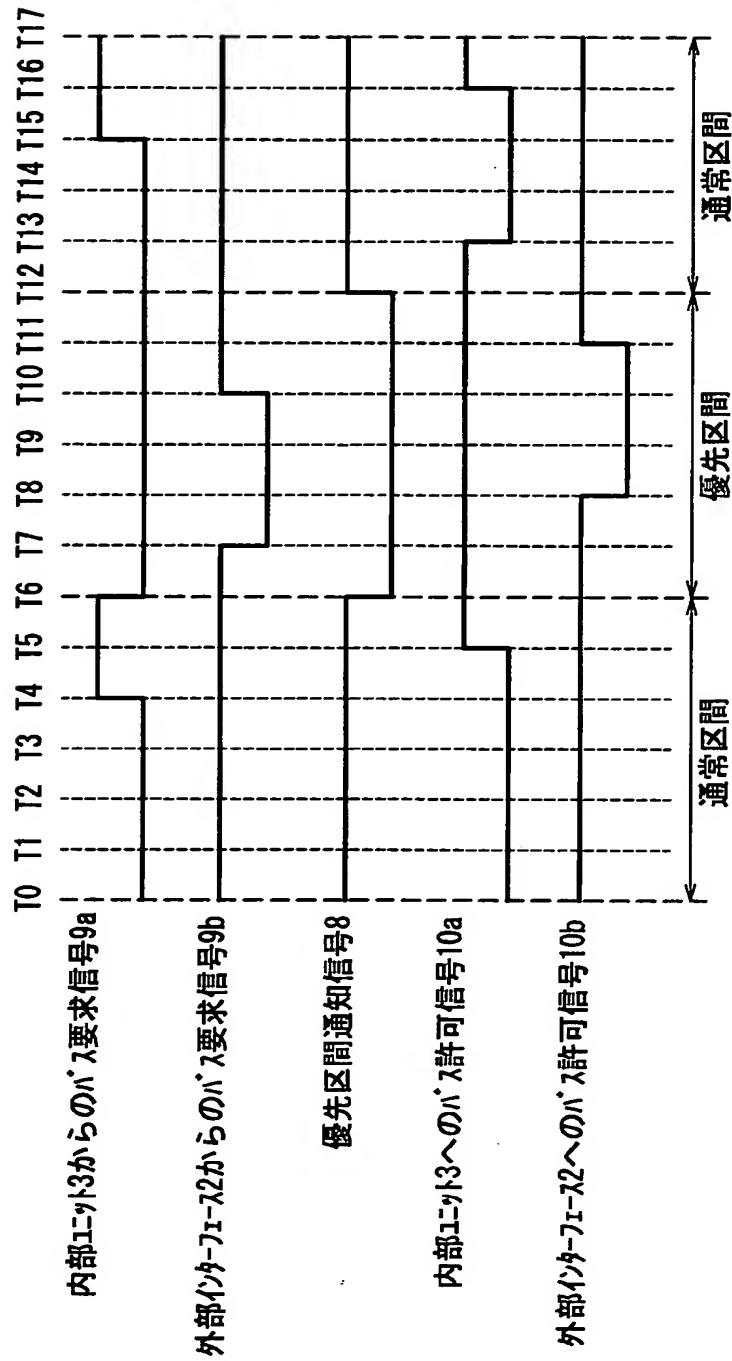
- 1 1 C P U
- 1 2 ローカルメモリ
- 1 3 システムバス
- 1 4 割り込み信号
- 2 4 優先区間設定レジスタ
- 3 5、7 6 許容データ量設定レジスタ
- 3 6 データ量通知信号
- 4 4 優先区間頻度設定レジスタ
- 5 3、6 2 特定内部ユニット
- 5 4 分割転送通知部
- 5 5 分割転送通知信号
- 6 3 分割数設定レジスタ
- 7 7 a、7 7 b 転送データ量通知信号

【書類名】 図面

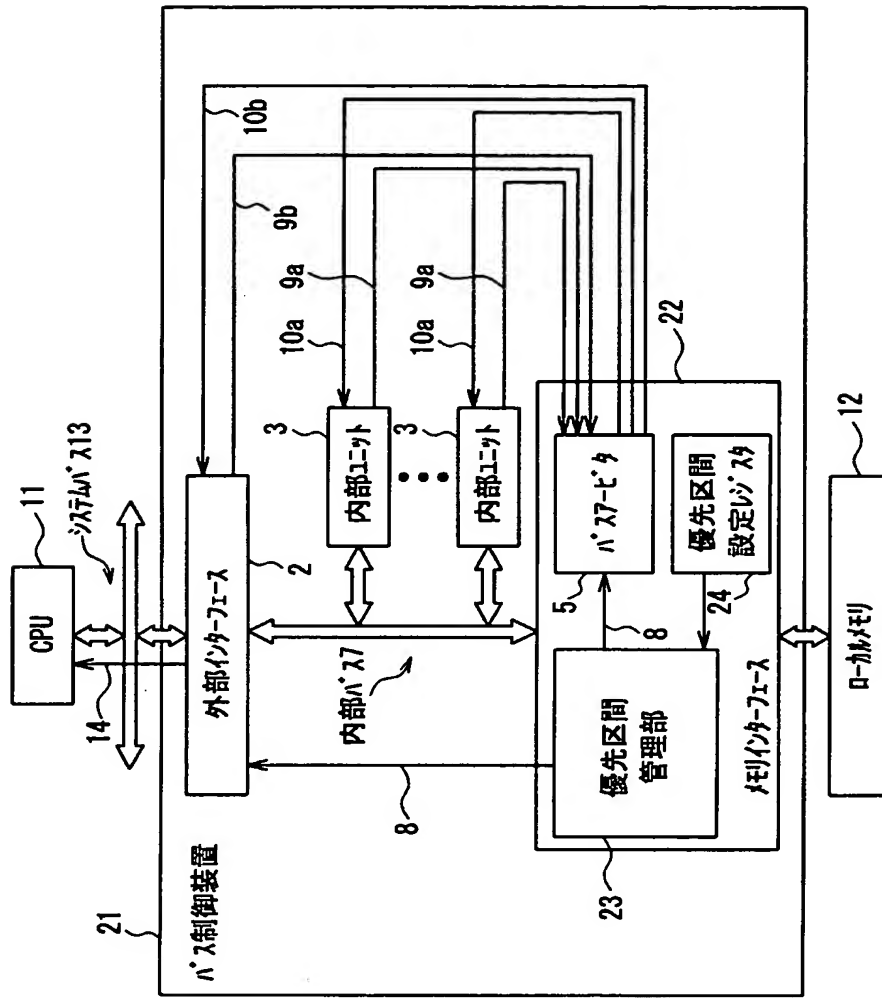
【図 1】



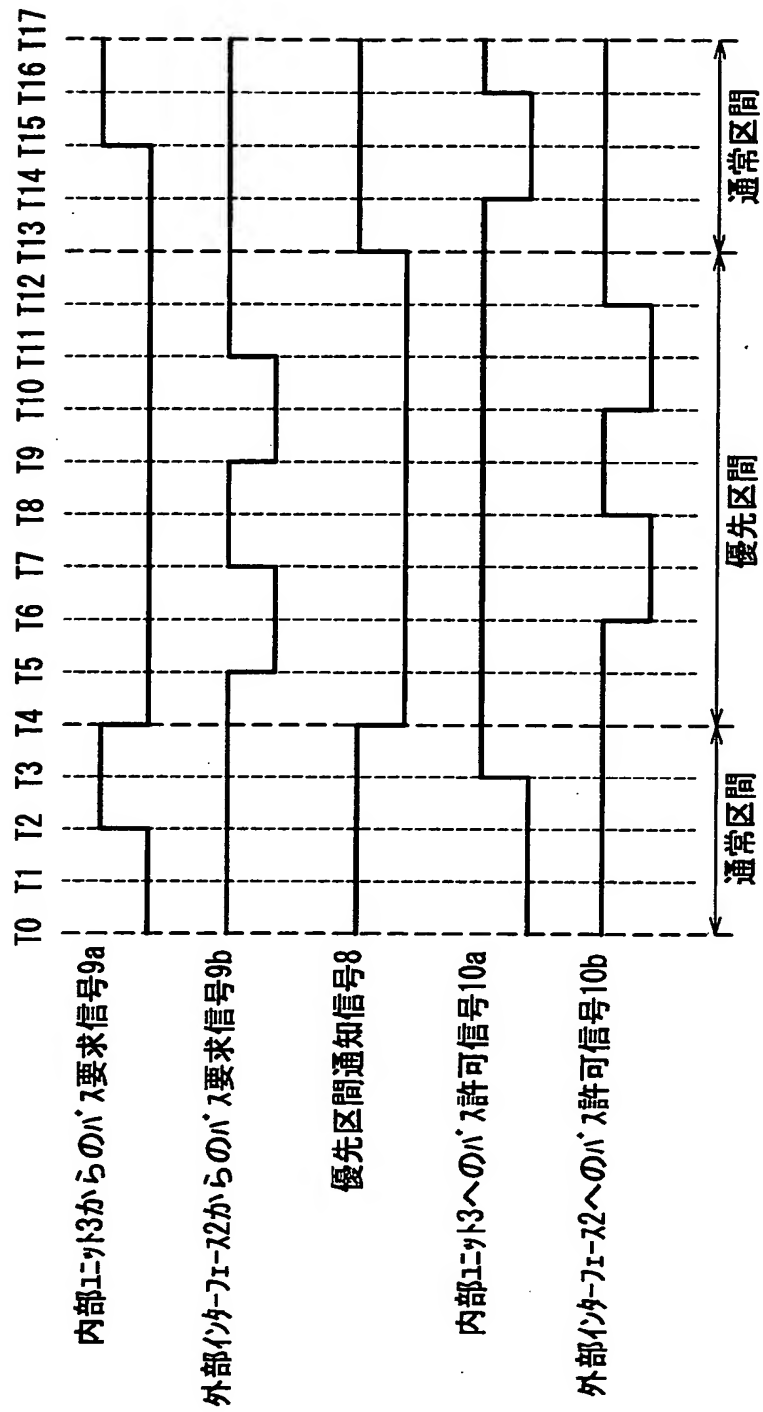
【図 2】



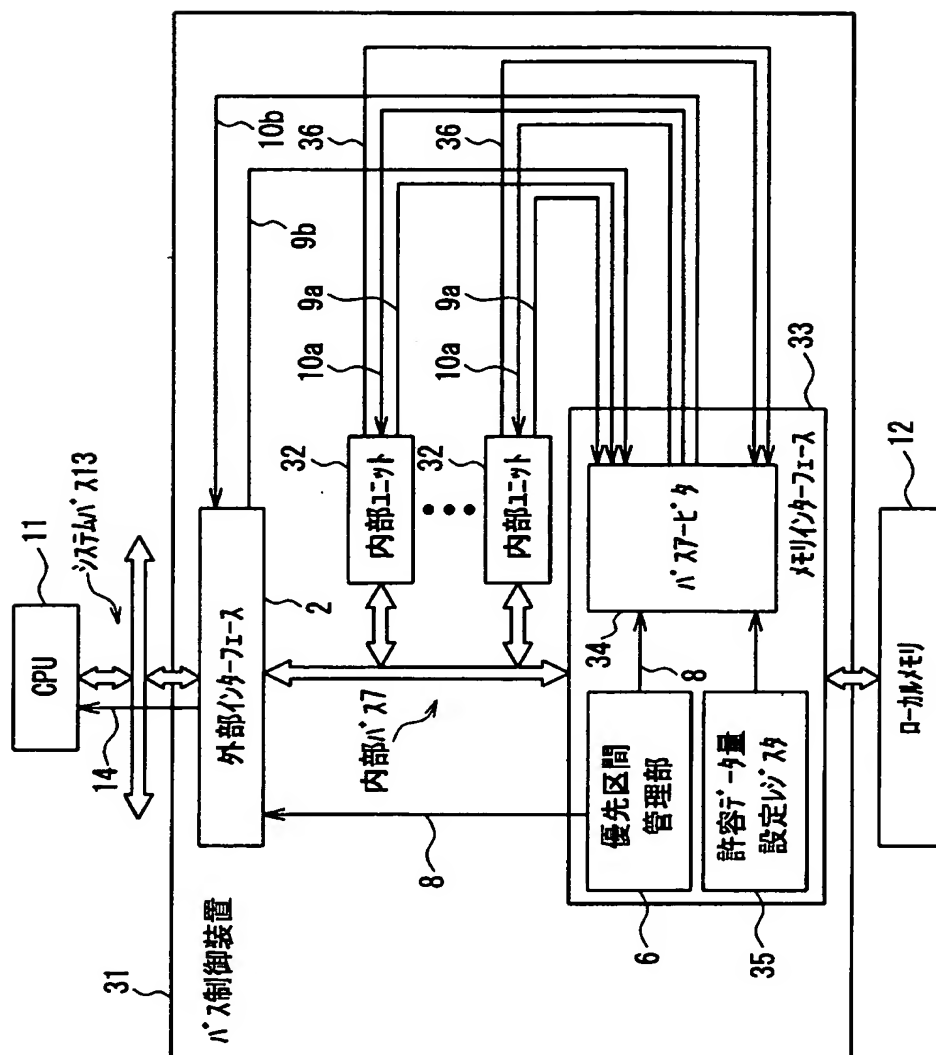
【図 3】



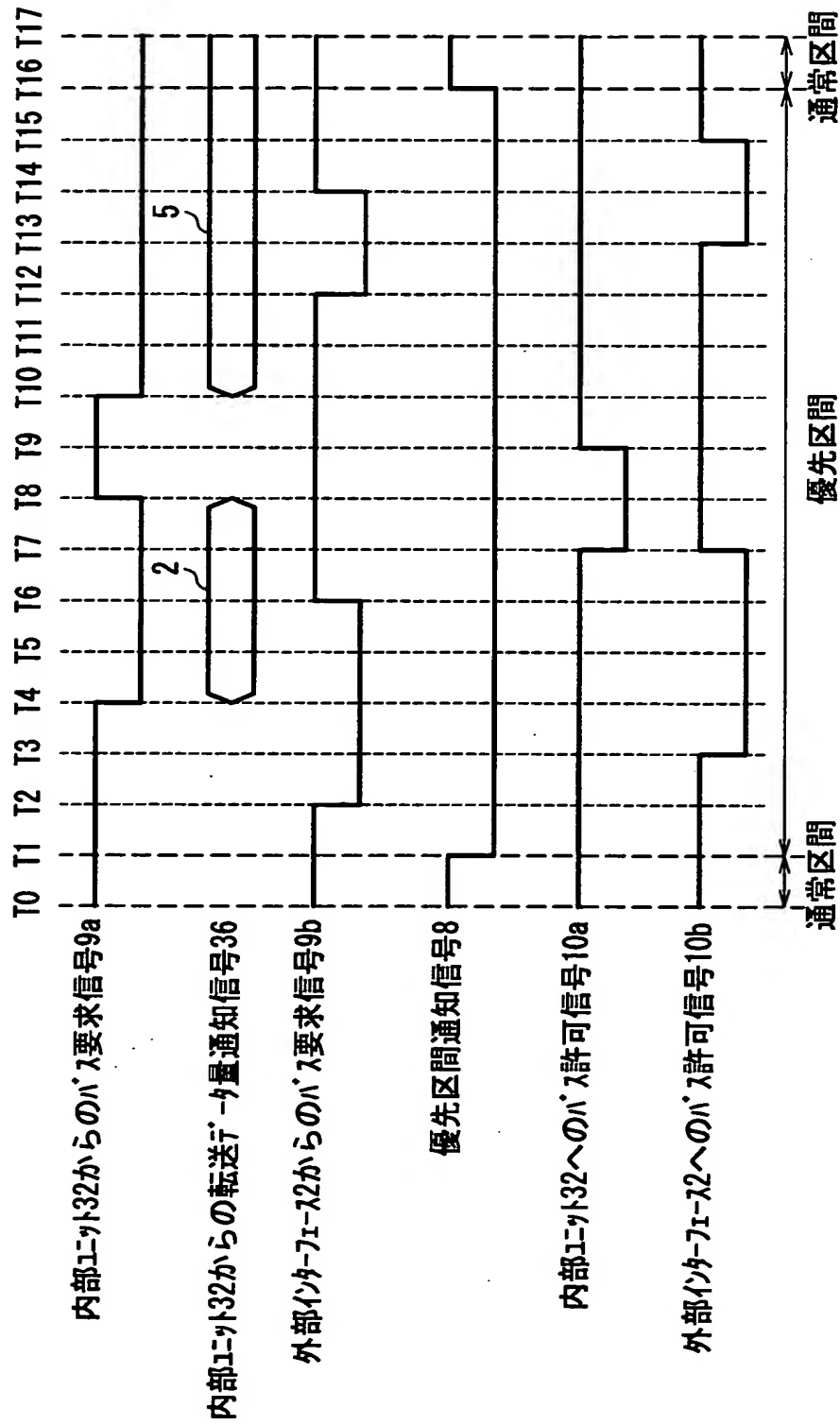
【図 4】



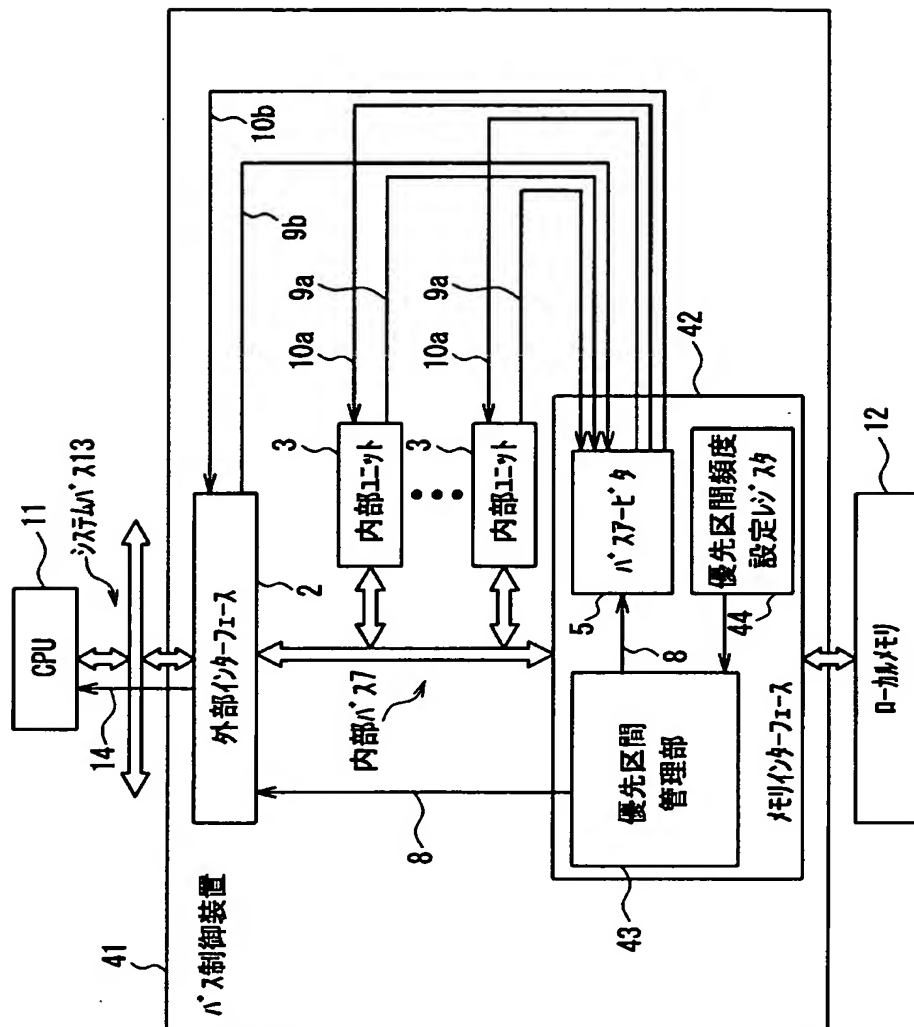
【図 5】



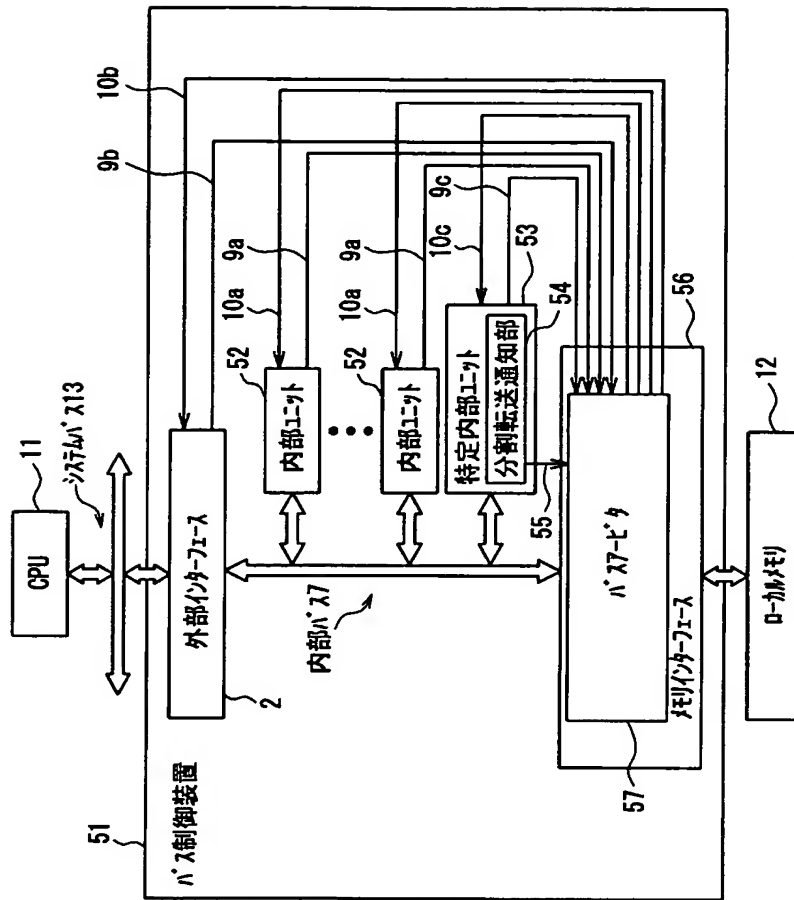
【図 6】



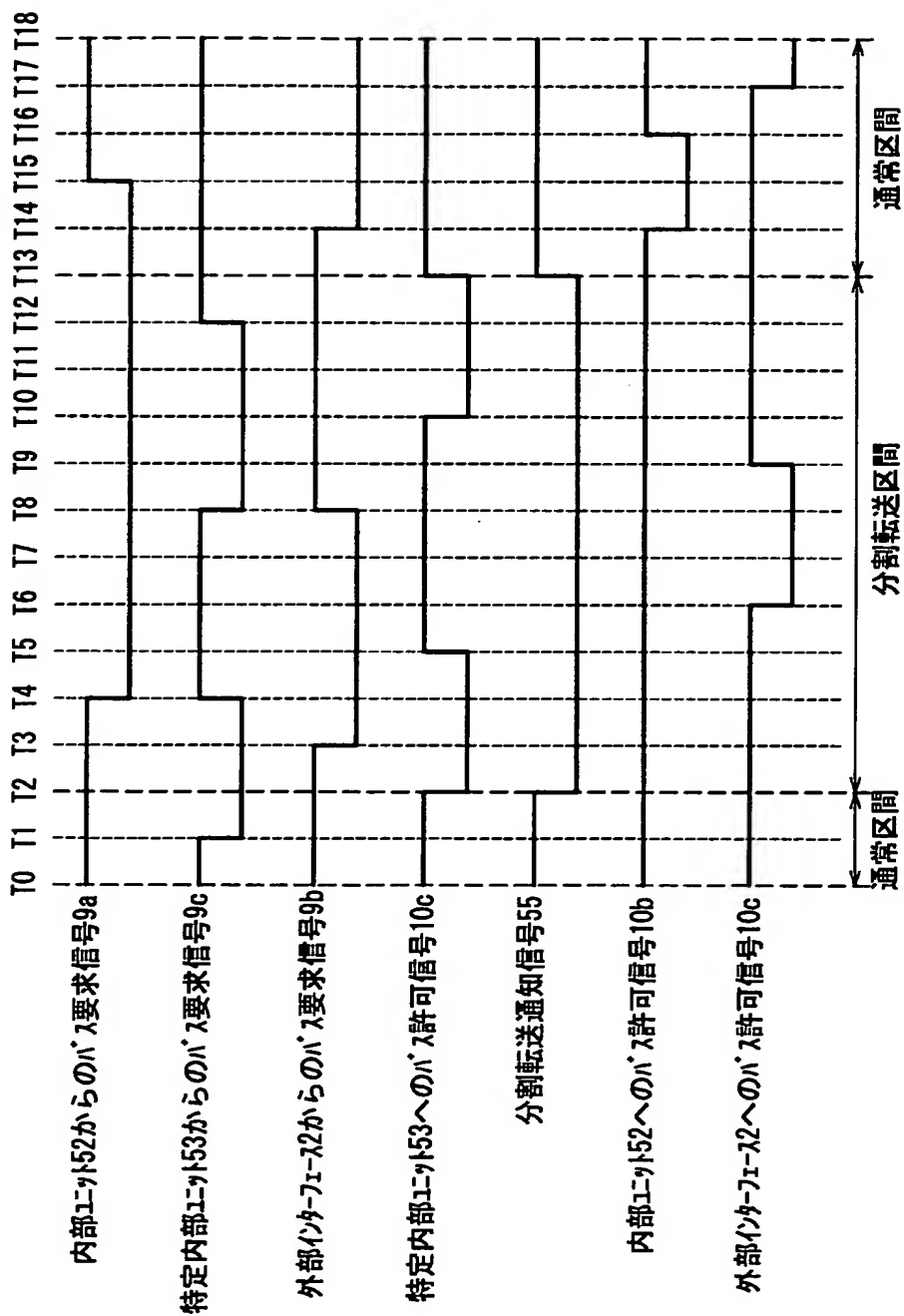
【圖 7】



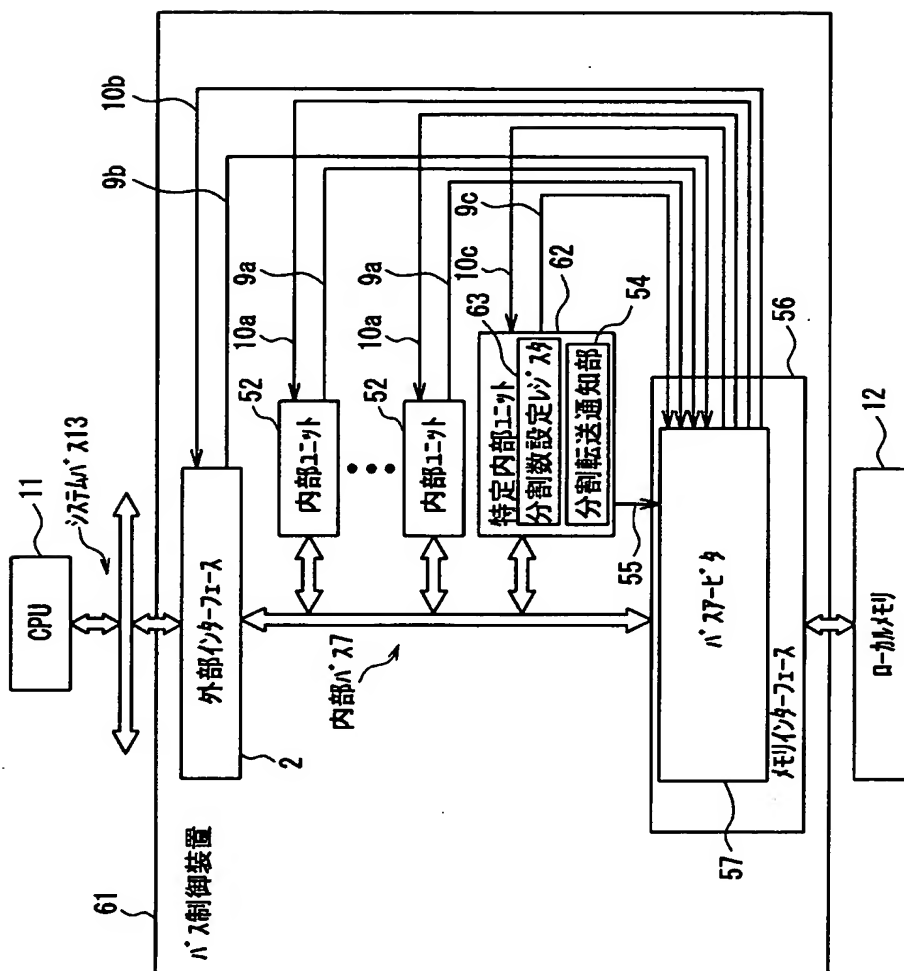
【図 8】



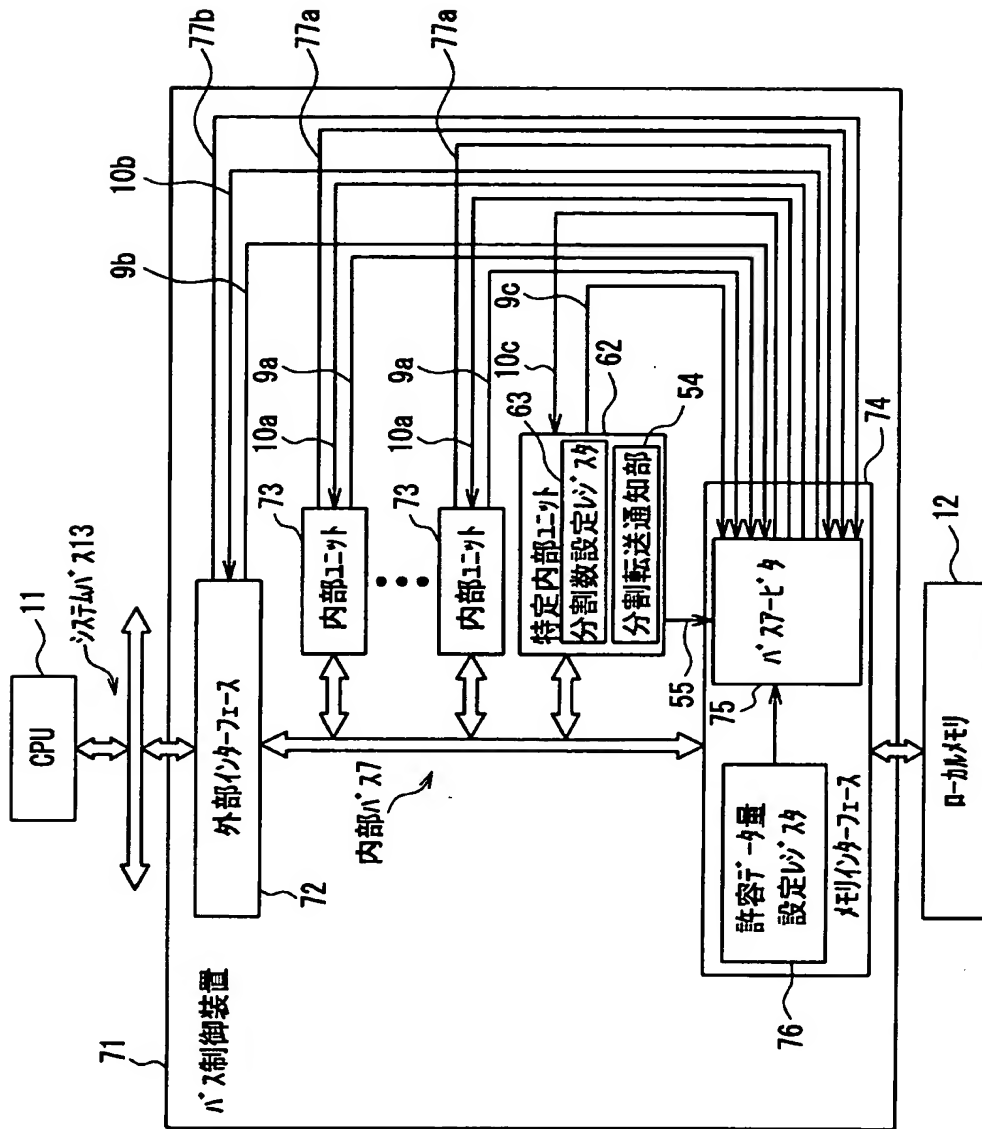
【図 9】



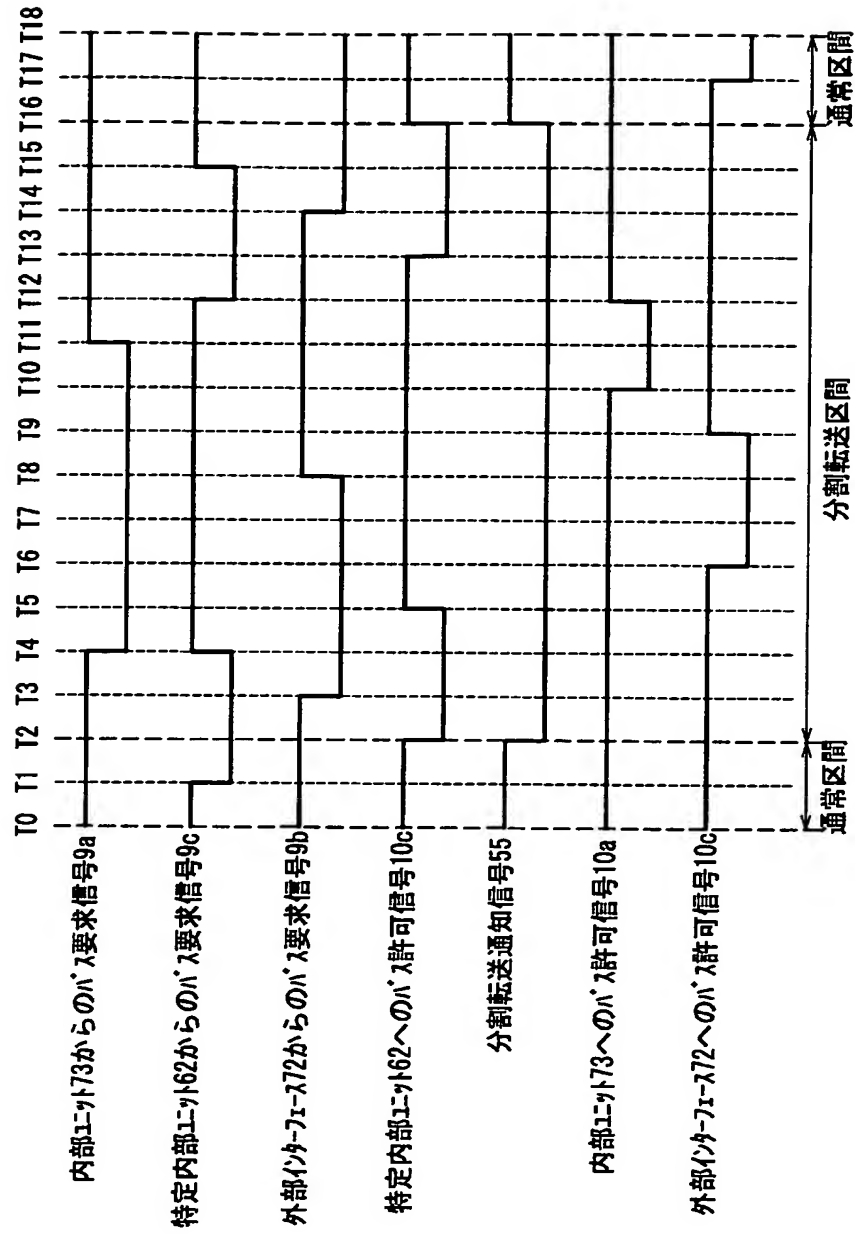
【図 10】



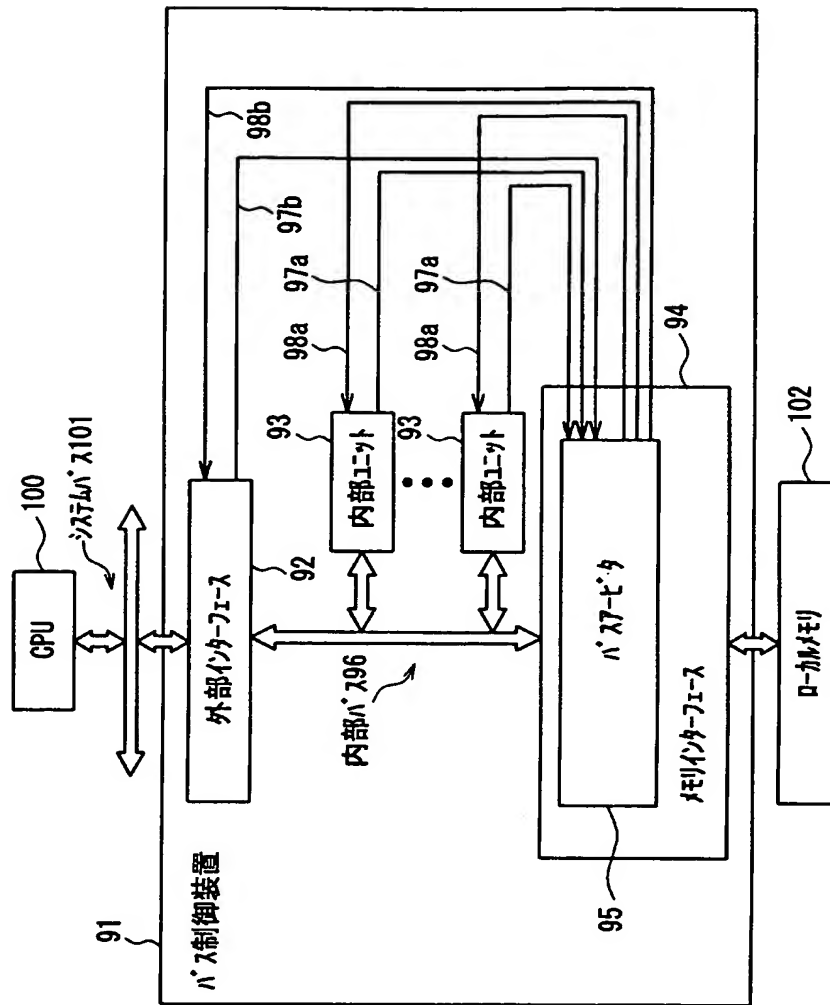
【図11】



【図 1 2】



【図13】



【書類名】 要約書

【要約】

【課題】 複数の共有メモリを必要とせずに、CPU等の外部装置とローカルメモリとの間のアクセスの待機時間を短くして、システム全体のパフォーマンスを向上させ得るバス制御装置、及びこれを用いた情報処理システムを提供することにある。

【解決手段】 外部インターフェース2と、内部ユニット3と、メモリインターフェース4と、内部バス7とを有するバス制御装置において、メモリインターフェース4に内部バス7の使用状況を監視させ、内部ユニット3が内部バス7を使用していない場合に、外部インターフェース2のみが内部バス7を使用できる優先区間を設定し、優先区間において内部ユニット3による内部バス7の使用を制限させる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日
[変更理由] 新規登録
住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社